

# 高速通信デバイスへの インサーキット・テスト手法と 最新動向

(株) システム工業/中尾 修司、小林 禎史

## 1 はじめに

当社は、創業28年間、アジレント・テクノロジー(株) (以下、アジレント社) のチャンネルパートナーとして、電子回路基板 (PWB) 検査装置であるインサーキットテスト (ICT) の治具、テストプログラム開発、顧客サポート、コンサルティング及び販売サポートを中心に活動してきた。

アジレント社のICTは、その登場以来、常にPWB検査におけるその時々技術的課題を克服し、最先端の検査技術を提供してきた。最新のICT『i3070』と『i1000』シリーズ (図1) は、プレス式治具を使ったアナログのみの安価なタイプからバキューム式のデジタルやファンクションさらにバウンダリスキャンテストなどまでカバーする高機能タイプまで各種あり、ワールドワイドで様々な電子機器製造メーカーの工場で導入されている。

ICTはこの20年間、PWB検査の中心となってきたが、多くの電子機器製造メーカーにとってその有効性が問題になることはなかった。しかし、最近のPWB上では、インタフェース (IF) バスのシリアル信号化が進み、差動信号による高速・高密度化が加速し、高速差動信号に用いられるLVDS IC/LSIやUSB、PCI Express、Serial ATAなどの高速バスIFを内蔵した高密度BGAデバイスが、多く占めるようになってきている。これらは、多くの電子機器デザイナーが、Gbpsレンジでの高速データ転送、1ピンあたり約1.1mAの低消費電力、コモンモードノイズの除去、低EMI (電磁波障害) などの様々な利点から

高速差動信号を使用するようになったことによるが、これらの高速差動信号は製造現場に新たな問題をもたらしている。

また、IC/LSIの高密度化にともなうピン数の増加により、ICT機能のさらなる強化が求められている。それは、ICTで検査する上でのプローブアクセスを困難にするばかりでなく、PWB上にも、高速差動信号におけるコネクタ上のGNDターンの浮きのような単純な製造プロセス不良により、ビットエラーレートが低下するなど、多くの品質の問題が残る可能性をもっている。

さらに、グローバル化による国内大量生産から多品種少量生産へのシフトにより、設備投資の削減、環境への取り組み、生産性と品質向上など、現在の電子機器メーカーが抱える課題は枚挙にいとまがない状況ではあるが、今回は最近の高速通信デバイスが多用されたPWBにおけるICTのテストカバー率の改善という観点から、①BGA/SMTコネクタへのテスト手法、②新しいICTプロービング手法、③Cover-Extend技術によるテスト手法、の最新技術テスト手法を紹介したい。これらは、すべてアジレント社独自の特許技術であり、『i3070』と『i1000』シリーズでのみ、実現可能となっている。

このようなPWBにおいて、ICTでのテストカバー率を改善させることが、他の様々な検査手法で見つけることが難しい製造プロセス不良を市場に出す前に簡単に検出し、製品品質と生産性の向上に寄与し、電子機器メーカーとしての信用を得ることができる。と考える。

## 2 BGA/SMTコネクタへのテスト手法

最近のPWB上には、高密度化されたBGA/SMTコネクタが多用されるようになってきた。BGAの進化は、2005年に0.8mmピッチで1,202個のはんだボールを有する $\mu$ BGAが出現し、最近はさらに薄型の0.65/0.5mmピッチのFBGA (CSP) が出てきている。また、SMTコネクタにおいても、DDR2、PCI Express、Serial ATAなどの高速シリアルバスが主流になり、多くの電源、GNDピンを有す



図1 アジレント社 ICT

るSMTコネクタが多くなっている。また、欧州、中国でRoHS指令が施工され、PWBのはんだは鉛フリーに置き替わっているが、成分の違い、融点の高さ、ぬれ性の悪化などにより、剥離を含むオープン不良などの製造プロセス不良が全体の不良の中の多くを占めている。これらは、従来のICT技術（以前からのTestJetというデバイスのパッケージと各ピン/リードフレームとの間の容量成分を測定することで、ピンの浮きを検出するアジレント社の特許技術）では検査できずに、テストカバレッジの低下につながっていた。また、TestJetは、その原理から電源、GNDピンの浮きを検出できず、最近のSMTコネクタでは、全体の半数近くになる電源、GNDピンでオープン不良を検出できないという問題をもっていた。これらの問題に対して、アジレント社では、VTEP V2.0としてTestJetを大幅に進化させた、ベクターレス・テストEP (VTEP) という技術と、SMTコネクタの電源、GNDピンの足浮きを検出する新技術であるネットワーク・パラメータ測定 (NPM) という新技術を発表し、これらの技術を使うことでBGA/SMTコネクタが搭載された高速/高密度基板のテストカバレッジを大幅に改善することが可能になった。なお、これらの技術は、図2、3で示される同じハードウェアで実現可能である。

1. VTEP

アジレント社のTestJetを大幅に進化させたのが、VTEP、インテリジェントVTEP (iVTEP) である。この特許技術は、従来の技術を継承しながらテスト開発時間を大幅に短縮させ、測定できる最小容量値を下げ、解像度を上げることでテストピンカバレッジを飛躍的に向上させている。さらに強固なセンサプレートを用いメンテナンスコストの低減をも実現

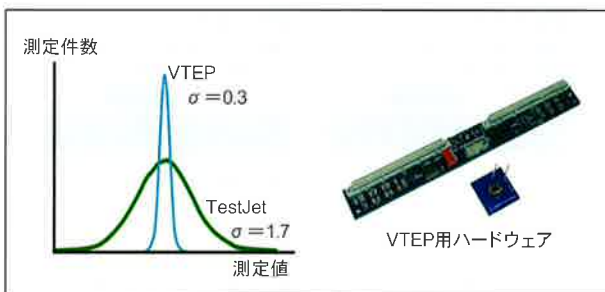


図2 VTEP、iVTEP 及び NPM で使用する測定プローブ

	部品 (IC)	コネクタ	ソケット
VTEP			
iVTEP			
NPM			将来計画

図3 使用可能なベクターレス・テスト技術と対象部品

した。

VTEPは、センスアンプのS/N比の向上や測定高速化、ファームウェアベースでのノイズ除去アルゴリズムの最適化により、5fFという確度でのテストが可能になり、TestJetで50%であったBGAのテストピンカバレッジを80%以上に向上させた。昨今のさらなる実装密度の高まり、フリップチップ、μBGAやFBGA (CSP) の採用、そして放熱板付きチップなどの出現により、VTEPをさらに進化させ、ソフト的なフィルタリングとリードフレームとのカップリングによる容量成分への検査の依存度をより少ないものとし、最小測定値を1fFという高精度を実現したiVTEPでは、μBGAの場合でもテストピンカバレッジは90%以上となる。

もちろん、このiVTEPを使用しても、テストピンカバレッジを100%にすることは難しい場合もあるが、BGAデバイスなどでバウンダリスキャン機能を有していれば、このiVTEPと組み合わせることでよりテストピンカバレッジの向上を図ることもできる (図4)。

2. NPM

IC/LSIにおいて、動作周波数の向上から、バスの高速化に伴い、高速差動信号が使われるようになってきた。その中の重要なものに、DDR2、PCI Express、SerialATAなどに代表される汎用高速バスのSMTコネクタがある。これらの汎用バスのSMTコネクタは高速差動信号であるがゆえに、電源とGNDがコネクタの半分以上を占めているものの、ここで起きる電源ピン、GNDピンの足浮きによるオープン不良は、従来システムテストや市場でしか検出できなかった。しかし、このオープン不良は実動作上大きな問題になるだけでなく、検査においても発見が難しく、解析に大変な費用と工数がかかるのが現状であった。

アジレント社では、NPMを2007年にITC (インターナショナル・テスト・カンファレンス) で発表し、2008年にリリースし、すでに様々なサーバ、ルータ基板検査で採用され実績を上げている。この技術はVTEPを、SMTコネクタやLSIソケットの電源ピン及びGNDピンのオープン不

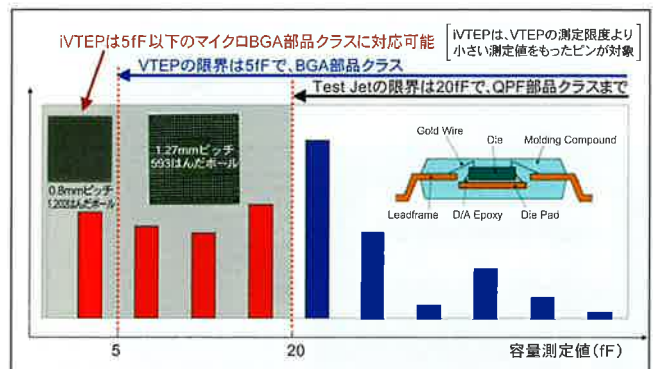


図4 BGA パッケージでの測定容量分布

FEATURE

良が検出できるように拡張したものである。

NPMでは、ターゲットコネクタの回路パラメータ（直列抵抗、直列及び結合インダクタンス、結合キャパシタンス）をモデル化したライブラリを用意し、検査時にインピーダンスを測定することで、モデル化されたものと比較をして、電源ピンとGNDピンのオープンを推測決定している。この方法で、実機検査、ファンクションテストでも見逃される可能性がある。SMTコネクタ、LSIソケットの電源とGNDピンの足浮きによるオープン不良を検出することが可能となる（図5）。

### 3 新しいICTプロービング手法

PWBの高密度化及び実装されるデバイスの微細化がますます進んだ結果、ICTにおいて必要となるテストパッドそのもののスペースが、基板上のトレースなどに比べて相対的に大きなものになってしまう問題が起きている。また、回路の信号速度が高速の場合、トレース途中のテストパッドがアンテナの役割となって、基板動作に悪影響をもたらす可能性もある。このように基板にテストパッドを設けることは、電子機器デザイナーにとって許容できなくなっている。ICTが克服しなければいけない課題は、いかに基板のレイアウトを変えずにICTが基板にプローブアクセスをするかである。

これに対してアジレント社は、図6のように発想を転換して、基板にプローブを当てるテストパッドを設けるのではなく、基板トレース上にビード（Bead）と呼ばれる非常に小さなはんだの塊を載せ、大きめのプローブで当てる方法を、大手CPUメーカーと共同で開発した。この方法は、基板上のトレースレイアウトをほとんど変更せず、ビードを設けることが可能であり、プローブアクセスを可能にする。

基板トレースに何も手を加えない場合、35milのテストパッドを設けた場合、9個のビードを設けた場合の3通りで、高速の信号伝送（立ち上がり時間100ps、信号速度5GB/秒、50bitランダムパターンの場合）を行ったときのアイパターンを比較したのが図7である。この図から分かるよ

うに、35milのテストパッドを設けた場合では、何も手を加えない時と比べてアイパターンの波形が大きく乱れている。これに対して、トレース9個のビードを設けた場合は何も手を加えない時とほとんど変わらない結果が得られており、信号伝送にほとんど影響を与えていないことが分かる。このビードは、基板上にテストパッドを設けるのが難しい場合、特に基板上のバスパターンなどの高速信号が流れる部分にプローブを当てる時に有効な手法の一つとして提案する。

このビードプローブ技術は、従来のようにテストパッドに先端の尖ったプローブを当てるのではなく、非常に小さなビードと呼ぶアクセスポイントに、先端の平らなプローブを当てるプロービング手法である。このプロービング手法の利点は、①トレース上に直接アクセスポイントを設置でき、回路設計時の考慮が容易である点、②従来のテストパッドとは異なり、高速信号ラインでも信号品質の劣化を起こさない点、③基板へのビードの設置は、通常のSMTはんだマスクとはんだペーストステンシルプロセスを使用して作成でき、既存のSMTプロセスの大幅な変更や余分なコストをかけずに実現できる点である。図8で示されたビードプローブと従来の標準プローブで接触抵抗を比較したヒストグラムと、ビードプローブの接触抵抗の経年変化の実験結果より、ICTでは実用上問題ないといえる。

ビードプローブ技術は、理論的にも、実験的にも実証されており、ICTにおけるプローブアクセスを容易にすることで、高密度化された電子PWBや高周波回路搭載のテストビリティ考慮設計を簡単にさせ、より優れたテストピンカバー率を実現でき、製品品質や生産性の向上につながり、ICTにとっては、有効な手段であると考えられる。

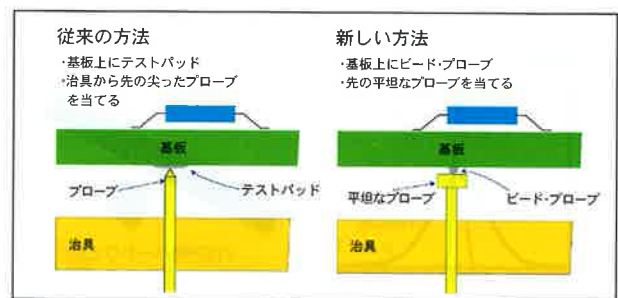


図6 ビード・プローブとプローブアクセス

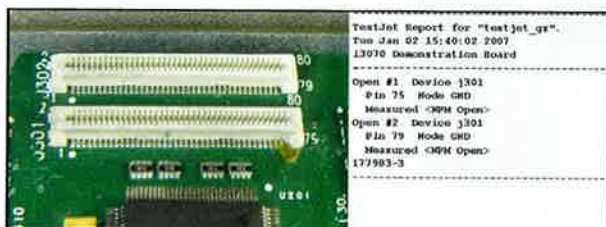


図5 発見されたピンのオープンとエラーレポート

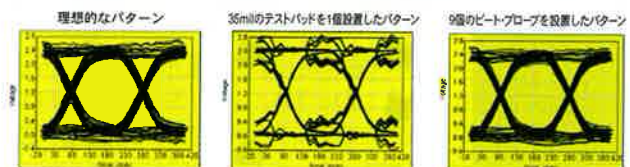


図7 アイパターン比較

## 4 Cover-Extend技術によるテスト手法

②で紹介したVTEP V2.0では、すべてをプロービングできることが前提のテスト手法であったが、現在のPWBは内層などに隠れてしまいプロービングが困難であったり、SMTコネクタなどでトレース長が短くプロービングができなかったり、コネクタの高さの影響で近くにはプロービングができないというプローブからの制限もあった。現在、バウンダリスキャン対応のデバイス同士で接続されたネット（インターコネクタ）に関しては、プロービングなしでも、バウンダリスキャンテストにより、テストが可能になったが、片方のデバイスが、バウンダリスキャン対応でない場合には、プロービングできなければテストは困難であった。これらの問題に対して、アジレント社は、既存のバウンダリスキャン機能とVTEPを組み合わせた、Cover-Extend技術によって可能とした。原理は、図9のバウンダリスキャンの4本のTAPから信号を入れ、SMTコネクタに接続された各ピンごとにパルスデータを送り、そのパルスデータをVTEPのセンサプレートで受け取ることでより実現している。これらのテストは、すべて自動生成される。現在、バウンダリスキャン対応は、デバイスとSMTコネクタ、LSIソケットだけであるが、将来は、すべてのIC/LSIとパッシブ部品でも可能になる予定である。これにより、今まで不可能とされていたプロービングが困難な場所においても、相手側のデバイスにバウンダリスキャン機能を採用することで可能となる。そして、さらなるテストカバー率の向上につながり、製品品質の向上に寄与するものと思われる。

最近ではデバイスの高速化により、パラレルバスやスキューの問題が減ったことから、バウンダリスキャン機能もインテルをはじめほとんどのCPU/MPUメーカーで採用され、FPGA/CPLDなどにも標準装備されており、テスト環境は格段とよくなってきている。この技術を使えば、バウンダリスキャン対応デバイスは4本のTAP信号さえプローブア

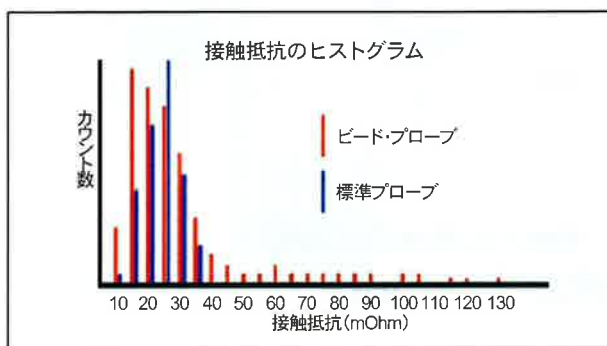


図8 ビード・プローブにおける接触抵抗ヒストグラム

クセス可能であれば、デバイス/コネクタのピッチ間、高さ、大きさに影響されず、設計上の制約が軽減され、シグナルインテグリティ（信号波形品質）上問題なく、レイアウトも自由であることから、今後の新しいテスト手法のトレンドとなるであろう。

## 5 おわりに

これらの高速通信デバイスを搭載した高密度化されたPWBは、今後もより複雑化、ノード数の増加、高速差動信号の一般化が進むであろう。それに対して、ファンクションテストをはじめとして様々なテスト手法が用いられてきたが、それぞれに一長一短があり、最後には、ICTのように製造プロセス不良をピンレベルで見つけられることが、品質向上にもつながり、製造現場で望まれているであろう。それには、従来のICT技術の枠を超え、高速化とアクセス制限の問題を克服できるアジレント社の最新技術のテスト手法を、被測定基板に合わせて、複数組み合わせる必要があると考える。

製品の市場品質の向上が電子機器メーカーにとっての最重要課題であることは、環境が変化している現在もなんら変わらない。アジレント社の最新技術のテスト手法は、現在もICT業界をリードし、これからも様々な技術的な問題を克服し、さらに技術を進化させ、顧客を満足させ続けるであろう。

### 参考文献

- 1) 藤田隆久、望月佐知也；インサーキット・テストの最新動向、エレクトロニクス実装技術Vol22, No.9, p52-p56, 2006.9
- 2) Kenneth P.Parker and Stephen Hird；Finding Power/Ground Defects on Connectors A New Approach, 2007 ITC International Test Conference, Paper28.2

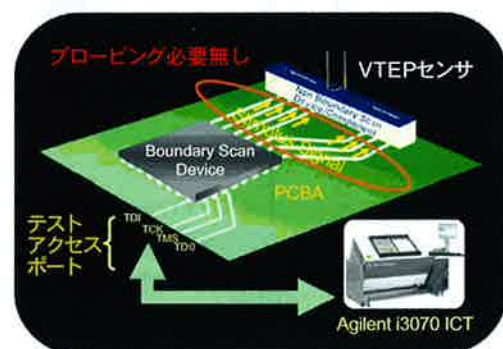


図9 Cover-Extend 技術モデル